

(2) Japanese Patent Application Laid-Open No. 59-16361 (1984):  
"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"

The following is a brief description of the invention disclosed in this publication.

In this invention, a grain size of a polycrystalline silicon film is increased and uniformed, and the polycrystalline silicon film is then doped with an impurity, so that evaporation and redistribution of the doped impurity caused by high temperature heat treatment is prevented to uniform resistivity. In particular, a high temperature heat treatment step is added after generating polycrystalline silicon to increase a grain size. As a result, a variance ratio of the grains decreases, achieving a ratio of the maximum value and the minimum value of a resistance value in the same lot of approximately one to three-fold, which is lower than half of a conventional ratio, thereby obtaining stable device characteristics.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—16361

⑤ Int. Cl.<sup>3</sup>  
H 01 L 27/04  
21/324

識別記号

庁内整理番号  
P 8122—5 F  
6851—5 F

⑬ 公開 昭和59年(1984)1月27日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑯ 特 願 昭57—126421  
⑰ 出 願 昭57(1982)7月19日  
⑱ 発 明 者 竹林孝路  
門真市大字門真1006番地松下電  
器産業株式会社内

⑲ 発 明 者 吉田正勝  
門真市大字門真1006番地松下電  
器産業株式会社内  
⑳ 出 願 人 松下電子工業株式会社  
門真市大字門真1006番地  
㉑ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、特許の名称

半導体装置の製造方法

2、特許請求の範囲

半導体基板の表面に低温で多結晶シリコン薄膜を堆積し、ついで、前記多結晶シリコン<sup>薄膜</sup>の堆積温度より高温で熱処理工程を施したのち、前記多結晶シリコン<sup>薄膜</sup>に不純物をドーピングすることを特徴とする半導体装置の製造方法。

3、発明の詳細な説明

本発明は、抵抗負荷MOS半導体集積回路装置に適した高抵抗で、かつ、抵抗値の均一な抵抗を含む半導体装置の製造方法に関するものである。

従来、MOS半導体集積回路(MOS・IC)とくに、高抵抗負荷をそなえたMOS、LSIにおいては、素子面積が小さく、動作速度が速い利点があり広く利用されている。しかし、その負荷抵抗には、均一な抵抗値が要求され、LSIの形成において問題となっていた。すなわち、問題点を詳しく言えば、従来のMOS・LSIで用いら

れる高抵抗は、シリコン基板の表面に $\text{SiO}_2$ を形成し、この上に多結晶シリコン膜を、たとえばCVD法等により成長し、イオン注入により不純物を注入して、アニーリングにより注入した不純物を活性化させ抵抗値を定める方法により形成されていた。

このようにして形成された高抵抗は、 $\text{SiO}_2$ 膜の表面に形成する多結晶シリコン膜の粒径により、後の工程で所定不純物を注入しても一定の抵抗値を得ることが困難であり、たとえば、粒径が $0.1\mu\text{m}\sim 0.2\mu\text{m}$ の範囲で、同一の不純物注入を行っても抵抗値が5～6倍の変動を示していた。

第1図はMOSトランジスタとその回路構成としての負荷抵抗とを一体形成した半導体装置の断面図である。この装置の概要は、P型シリコン基板1の表面部を厚い絶縁膜2で分離し、その一方に $\text{N}^+$ 型の領域3、4を形成し、これら両領域間の薄い絶縁膜5を介して、多結晶シリコン導電層よりなるゲート電極6を設けてなるMOSトランジスタ部と、表面の厚い絶縁膜2で分離された

他方の位置に形成された $N^+$ 型領域Aに一端が接し、他端がフィールド絶縁膜と称される厚い絶縁膜2'上に存する多結晶シリコン層Bよりなる抵抗体部とをそなえ、これらの各要素部が最要部の安定化被膜9で覆われ、同安定化被膜9の開口を通じて低抵抗線層10に接触されて外部回路結線が可能にしたものである。なお、外部電極端子S、D、Gはそれぞれ、ソース・ドレイン・ゲートであり同じく $R_1$ 、 $R_2$ は抵抗体の両端子を表わしている。

ところで、前記抵抗体部は、通常、厚さ $0.2\mu m \sim 0.6\mu m$ 、シート抵抗 $10^7 \sim 10^9 \Omega/\square$ の多結晶シリコン層Bで形成されるが、これが前記MOSトランジスタ部と回路結合されて負荷抵抗体として用いられるとき、その抵抗値は $10M\Omega \sim 100M\Omega$ の高抵抗が要求される。かかる抵抗体の形成方法は、従来、第2図に工程を示したように、減圧CVD法と称される化学的気相反応法で、たとえば、 $620^\circ C$ 程度の低温で多結晶シリコン層を生成し(A1)、これに1%以下の不純物をイオン注

入法で正確に打込み(A2)、アニール処理して(A3)、これをフォトエッチングでパターン形成して(A4)所定の抵抗値を得ようとしていた。しかしながら、従来方法では、比較的低温で生成された多結晶シリコンが、粒径 $0.1 \sim 0.2\mu m$ 程度の微粒子であるうえに、そのばらつきも大きいものであるため、これにイオン注入法で不純物導入を制御しても、抵抗値が均一にならず、大幅にばらつくという難点があった。

## 特開昭59-16361(2)

本発明は抵抗値の変動が少ない高抵抗素子を含む半導体装置の製造方法を提供するものである。すなわち、本発明は、多結晶シリコン膜の粒径を増大して均一化しこの後多結晶シリコン膜に対する不純物のドーピングを行うことにより、高温熱処理によるドーピングされた不純物の蒸発、再分布を防止して比抵抗の均一化を図らんとするものである。

本発明は、多結晶シリコン生成後に高温熱処理工程を付加して、粒径を大きくするもので、これにより、粒径のばらつき比が小さくなり、同一ロット内の抵抗値の最大値と最小値の比が1~3倍

程度となり従来の%以下にすることができ安定した素子特性を得ることができる。

以下本発明の方法による実施例を第3図に示す。

まず、減圧CVD法を用いて、約 $620^\circ C$ の低温で厚さ約 $0.6\mu m$ の多結晶シリコン膜を成長させる(B1)。

次に、 $1000^\circ C$ 以上の高温で約30分間熱処理を行なう(B2)。

尚、ここで $1000^\circ C$ 以上の高温で熱処理することにより粒径 $0.3\mu m$ 以上の多結晶シリコンが得られる。

次に、ゲート電極領域には磷イオンを加速エネルギー $40KeV$ 、注入量 $1 \times 10^{15} \sim 1 \times 10^{16}$ 個/ $cm^2$ 程度、負荷抵抗素子領域には、砒素イオンを加速エネルギー $100KeV$ 、注入量 $1 \times 10^{13} \sim 1 \times 10^{14}$ 個/ $cm^2$ 程度のイオン注入を行う(B3)。

イオン注入後、 $900^\circ C$ の温度で $N_2$ ガス中約30分間のアニールを行う(B4)。

次に、フォトエッチング法により、MOSトランジスタのゲート電極、および高抵抗負荷素子が形成する(B5)。

この実施例では、高抵抗負荷領域形成に砒素イオンを用いているが、磷のイオン注入でドーピング

してもよい。その場合の注入条件は加速エネルギー $40KeV$ 、注入量 $10^{13}$ 個/ $cm^2$ 程度である。

なお本発明の実施例において多結晶シリコンの粒径をできるだけ大きく、抵抗値を安定化させるためには、多結晶堆積工程(B1)で形成温度をできるだけ低温とすること、および高温熱処理工程(B2)においてできるだけ高い温度で熱処理を行うことが望ましい。

多結晶シリコンの粒径は $1000^\circ C$ 以上で温度の増加とともに増大する。しかし高温で長時間の熱処理を行った場合、シリコン基板の高濃度ドーピング領域の不純物の再分布あるいは、トランジスタのゲート電極より不純物がゲート酸化膜を拡散により通り抜けシリコン基板濃度を変化させる等不都合を生じる。したがって高温熱処理条件は、高温で短時間が望ましい。

これには例えば輻射加熱方式による2秒~100秒程度のアニールでは $1200^\circ C \sim 1400^\circ C$ 程度まで温度が高くてきかつシリコン基板中の不純物再分布が低くてできる。

以上の様に、本発明によれば粒径の大きな多結

晶シリコン膜の粒径を増大して均一化しこの後多結晶シリコン膜に対する不純物のドーピングを行うことにより、高温熱処理によるドーピングされた不純物の蒸発、再分布を防止して比抵抗の均一化を図らんとするものである。

本発明は、多結晶シリコン生成後に高温熱処理工程を付加して、粒径を大きくするもので、これにより、粒径のばらつき比が小さくなり、同一ロット内の抵抗値の最大値と最小値の比が1~3倍

程度となり従来の%以下にすることができ安定した素子特性を得ることができる。

以下本発明の方法による実施例を第3図に示す。

まず、減圧CVD法を用いて、約 $620^\circ C$ の低温で厚さ約 $0.6\mu m$ の多結晶シリコン膜を成長させる(B1)。

次に、 $1000^\circ C$ 以上の高温で約30分間熱処理を行なう(B2)。

尚、ここで $1000^\circ C$ 以上の高温で熱処理することにより粒径 $0.3\mu m$ 以上の多結晶シリコンが得られる。

次に、ゲート電極領域には磷イオンを加速エネルギー $40KeV$ 、注入量 $1 \times 10^{15} \sim 1 \times 10^{16}$ 個/ $cm^2$ 程度、負荷抵抗素子領域には、砒素イオンを加速エネルギー $100KeV$ 、注入量 $1 \times 10^{13} \sim 1 \times 10^{14}$ 個/ $cm^2$ 程度のイオン注入を行う(B3)。

イオン注入後、 $900^\circ C$ の温度で $N_2$ ガス中約30分間のアニールを行う(B4)。

次に、フォトエッチング法により、MOSトランジスタのゲート電極、および高抵抗負荷素子が形成する(B5)。

晶シリコン膜を形成した後、不純物をイオン注入もすることにより、抵抗値のバラツキの少ない抵抗を有する半導体装置を提供することが出来る。

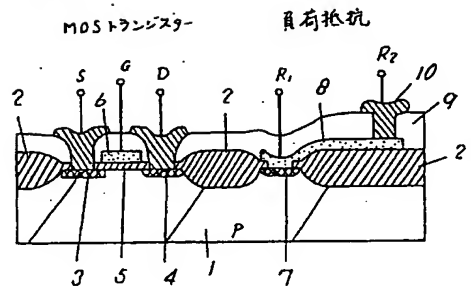
#### 4、図面の簡単な説明

第1図は抵抗負荷MOS半導体装置の断面図、第2図は従来の抵抗形成方法を示す工程図、第3図は本発明の方法による抵抗形成方法を示す工程図である。

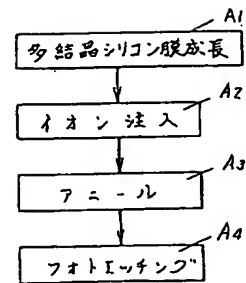
1 ..... P型シリコン基板、2, 2' ..... 分離用絶縁膜、6 ..... ゲート電極、8 ..... 多結晶シリコン層。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

